

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-007110

(43)Date of publication of application : 11.01.2002

(51)Int.Cl. G06F 7/00  
G06F 5/00

(21)Application number : 2000-192762 (71)Applicant : TOSHIBA CORP

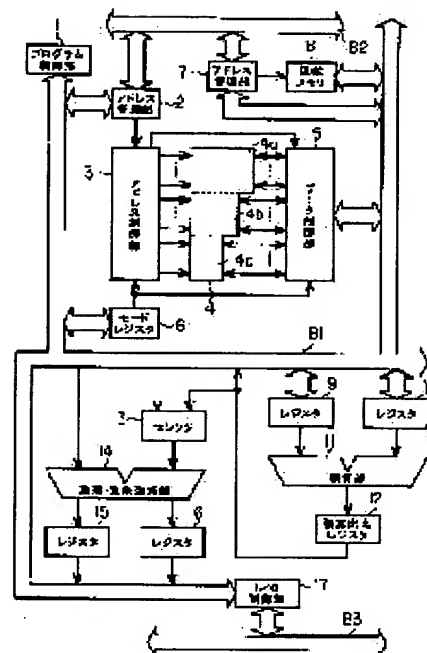
(22)Date of filing : 27.06.2000 (72)Inventor : SHIBUYA KAZUTOSHI

## (54) DIGITAL SIGNAL PROCESSOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To quickly realize bit processing in a simple constitution with the small number of instructions.

**SOLUTION:** This device is provided with a work memory 4 in which three kinds of address areas whose bit length is different from each other are allowed to coexist. The three kinds of address areas are constituted as a fixed bit length area 4a and limited bit length areas 4b and 4c, and plural address areas are respectively allowed to belong to each area. The address areas belonging to the fixed bit length area 4a are provided with bit length (n bits) for one word, and the address areas belonging to the limited bit length areas 4b and 4c are respectively provided with different bit length (m0 bit and m1 bit) shorter than the bit length for one word.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許公開公報番号  
特開2002-7110  
(P2002-7110A)

(43) 公開日 平成14年1月11日(2002.1.11)

(51) Int.Cl. <sup>7</sup> G 0 6 F 5/00	識別記号 F 1 G 0 6 F 5/00	フーワード(参考) H 5 B 0 2 2 D G
--	--------------------------------	------------------------------------

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2000-192782(P2000-192782)  
(22) 出願日 平成12年6月27日(2000.6.27)

(71) 出願人 000033078  
株式会社東芝

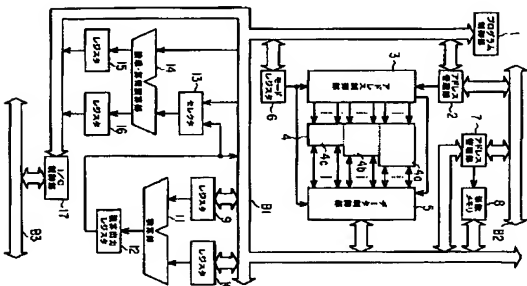
(72) 発明者 鎌谷 和俊  
東京都日野市堀め丘3丁目1番地の1 株  
式会社東芝日野工場内

(74) 代理人 100038419  
弁理士 鈴木 武彦 (外6名)  
ファーム(参考) 58022 BA07 DM05

(54) 【発明の名称】 デイジタル信号処理装置

(57) 【要約】

【課題】 簡易な構成かつ少ない命令数により迅速にビット処理を実現する。  
【解決手段】 それぞれビット長が異なる3種類のアドレス領域が混在して設けられた作業用メモリ4を備える。3種類のアドレス領域は、固定ビット長領域4aおよび可変ビット長領域4b、4cであり、それぞれ複数のアドレス領域が混在する。固定ビット長領域4aに属するアドレス領域は1ワード分のビット長(nビット)を、また可変ビット長領域4b、4cに属するアドレス領域は1ワードよりも短くかつそれぞれ異なるビット長(m0ビット、m1ビット)をそれぞれ有する。



【特許請求の範囲】

【請求項1】 作業用メモリへのデータの書き込みおよび読み出しによるデータ操作をともなうデイジタル信号処理装置において、前記作業用メモリを、1ワードで指定される記憶領域として、その容量が1ワードである第1領域および容量が1／gワード(gは所定の自然数)である第2領域とを設けたものとしたことを特徴とするデイジタル信号処理装置。

【請求項2】 前記第2領域が書き込み先として指定された場合に、データバスを伝送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を作業用メモリに与える書きデータ処理手段と、

前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、指定された記憶領域に関連する所定のn個の記憶領域を順に読み出し先として前記作業用メモリからデータを読み出す読み出し手段と、

この読み出し手段により読み出された1／gワード長のn個のデータを所定の順序で並べて1ワード長のデータとして前記作業用メモリへ出力する出力手段と、

前記第2領域のいずれかの記憶領域が書き込み先として指定された場合に、指定された記憶領域に関連する所定のg個の記憶領域を順に書き込み先として順次指定する書き込み制御手段と、

前記第2領域が書き込み先として指定された場合に、前記書き込み制御手段により指定されたg個の記憶領域にデータバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワードサイズのg個のビット列を順に書き込む作業用メモリに与える書きデータ処理手段と、

前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、その記憶領域から出力される1／gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータを作成して前記データバスへ出力する読み出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデイジタル信号処理装置。

【請求項4】 前記第2領域が書き込み先として指定された場合に、データバスを伝送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を作業用メモリに与える書きデータ処理手段と、

前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、その記憶領域から出力される1／gワード長のデータのみを所定のビット位置に設定してなる1ワード長のデータを作成して前記データバスへ出力する読み出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデイジタル信号処理装置。

【請求項5】 前記第2領域のいずれかの記憶領域が書き込み先として指定された場合に、指定された記憶領域に

関連する所定のg個の記憶領域を順に書き込み先として順次指定する書き込み制御手段と、

前記第2領域が書き込み先として指定された場合に、前記書き込み制御手段により指定されたg個の記憶領域にデータバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長のg個のビット列を順に書き込む作業用メモリに与える書きデータ処理手段と、

前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、指定された記憶領域に関連する所定のg個の記憶領域を順に読み出し先として前記作業用メモリからデータを読み出す読み出し手段と、

この読み出し手段により読み出された1／gワード長のg個のデータを所定の順序で並べて1ワード長のデータを作成して前記データバスへ出力する読み出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデイジタル信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フロッピッド処理などに出られる、いわゆるDSP(Digital Signal Processor)などと呼ばれるデイジタル信号処理装置に関する。

【0002】

【従来の技術】 DSPを用いた通信処理では、1ワード単位のデータ以外に1ビット、4ビットなどの1ワードよりも短いデータ(以下、制限長データと称する)を取り扱うことがある。例えば、演算結果の正しいみに注目する場合、1ワードの演算結果データのうちの最上位の1ビットのみが以後の処理に用いられることとなる。

【0003】 さて、通常DSPが有するメモリは、1アドレスに対応する記憶領域が1ワード長に設定されている。従って制限長データを1ワード幅のメモリに格納すると、メモリの利用効率が低下してしまう。例えば、1ビット長の制限長データを1000個のメモリに格納する場合、通常は1000個の記憶領域を占有することとなり、1ワード分が必要となる。すなわち、1ワードを16ビットとするならば、実際のデータ量の16倍もの容量の記憶領域を占有してしまうことになる。

【0004】 しかし、制限長データを1ワード分連続してからメモリに格納することすれば、実際のデータ量と同容量の記憶領域で全てのデータを格納することが可能である。

【0005】 そこで従来より、このような制限長データの連続処理(以下、パック動作と称する)を行うことでメモリ使用効率の向上を図ることが行われている。なお、このパック動作を行う場合、制限長データを用いた処理を行うために連続データから個々の制限長データを分離する処理(以下、アンパック動作と称する)も行う

こととなる。

【0006】さて、このような「シンク動作=ペンシンク動作」を通常の論理演算処理により実現する場合、対象データの右側に「シンク処理」のための論理演算（AND）、ビット位置合わせのためのシフト命令およびビット連結を行うための論理和（OR）演算を行うなどの処理を要するようになる。このため、多数の命令を要しなければならないが、実質的な演算速度の向上の期待となつてしまう。

「00007」なら、上述のような「ユニーク動作」や「ランダム動作」を定めたユニークをDSPの外部に譲って、このユニークを外部バスを介してプログラムする事で、バスクラされたデータをDSP内部のメモリに格納可能とする構図で考えられるが、この場合にも外部バスへのプログラムが必要であるために、依然として多数の命令を登録しなくてはならない。

【0008】そこで、バック動作やアンバック動作を簡単に良く行うことを可能とするために使用可能なメモリアクセスモード機能を含む1)SPが存在する

【0009】ここでメモリアクセスモードとは、ノー

ド、バグド、ビツト動能などマモリをアグセスするモードである。そしてこのマモリアグセスモードを利用すれば、例えばマモリアグセスモードをビツトモードに設定し、1 ビツトデータを1 ビツト動能でマモリに格納したのち、もう1 ビツトデータを1 ビツト動能でマモリに格納し、ビツトモードに1 ビツト動能で読み出せば、ビツトデータの切り出し(ビツトバグド動能)が可能となる。

【001010】しかたがない、メモリアクセスモード機能を実現するためには、メモリアクセスについてのアクセス形態をモード毎で変更できるようにするためにアドレスデコーダおよび出力デコーダの追加などの回路が必要となる。そしてこの種の回路は、非常に複雑な構成であるために、メモリアクセスモードの低下を招き、その結果、DS（減算速度）の向上が得られないことになるなどの欠点が生じる。

【0011】また、無線通信端末などにおいてはアンテナ処理が行われることが多いが、このようなアンテナ処理は1ビット毎などの小さなデータブロックの串へ替えにより実現される、

【0012】従ってこのような処理も、多数の命令の組み合わせによるか、あるいはメモリアクセスモード機能を抑えたDSPを用いなければならず、演算速度向上の妨げとなっていた。

【0013】  
 【発明の解決しようとする課題】 以上の様に従えば、DSPにてビデオ動作・音声動作やインターリーブ処理などのような1フレームに跨るようなデータを処理対象とするものや、例えば、ビデオ動作を行うと、多数の命令を使用しなければならなかったり、メモリアクセスモード機能を備えない装置など1チップを用いなければならな

いという不具合があった。

【0014】本発明はこのような事情を考慮してなされたものであり、その目的とするところは、簡易な構成かつ少ない命令数により高速にビット処理を実現することができるデジタル信号処理装置を提供することにある。

【00015】  
 【課題を解決するための手段】 以上の目的を達成するために第1の本発明は、作業用メモリへのデータの書き込みおよび読み出しによるデータ操作をともなうデータインタリ通信を処理するプログラムが記憶装置において、前記作業用メモリを、1アドレスで指定される例えば固定ビット長領域などの記憶域として、その容量が1ワードである第1領域および容量が1／ $2^n$ ワード（ $n$ は所定の自然数）である例えば容量がビット長領域などの第2領域とを設けたものとした。

【0016】このような手段を講じたことにより、作業用メモリの第2領域へのデータの書き込みや読み出しに適宜行うことで、1ノードに分のビット列単位でのビット処理を自ラこのノードでこなす。

【0007】また上記1例を避けるために第2の本発明は、前述第1例の発明に加えて、前記バスを伝送する1ワードデータにおける所定ビット位置の1/8ワード長のビット列を作業用メモリに与える例えばデータ制御部などのバスデータ処理手段と、前記第2例のいずれかの記憶領域から抽出し先として指定された場合に、指定された記憶領域に関連する所定の $n$ 個の記憶領域に抽出し先として前記作業用メモリからデータを読み出す例えはアドレス制御部などの記憶制御手段と、この抽出制御手段により抽出された1/8ワード長の $n$ 個のデータを所定の順序を用いてワード長のデータを生成し、前記データバスへ送り出す例えはデータ制御部などの抽出しデータ処理手段とを備えた。

【0018】このような手段を講じたことにより、データバスを伝送される1ワードデータにおける所定ビット位置の1/8ワード長のビット列が識別されて作業用メモリの第2領域に格納される。そしてこの第2領域に記憶された所定の8個のビット列が読み出され、これらを所定の順序で並べて1ワード長のデータが生成される。従って、8個の1ワードデータにおける所定ビット位置の1/8ワード長のビット列をそれぞれ連結するパツク動作が行われる。

【0019】また上記目的を達するために第3の本発明は、前記第1の発明に加えて、前記第2の発明のいずれかの記憶領域が固定されることと指定された場合に、指定された記憶領域に固定する所定の1つの記憶領域に順次書き込みして順次に指定する例えばアドレス制御部などの書き込み領域制御手段と、前記第2の発明が書き込みとして指定された場合に、前記書き込み領域制御手段により指

定された各側の記憶領域にデータバスへを送られる1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワードサイズ分の各側のビット列を順に16回交互に作業用メモリに与える例えばデータ制御部などの書込データ処理手段と、前記第2記憶域の1ワード分の記憶域が読出し先として指定された場合には、その記憶領域から出力される1/8ワードサイズのデータのみを所定のビット位置に設定してなる1ワードのデータを生成して前記データバスへ送出する例えばデータ制御部などの読出しデータ処理手段とを備えた。

【0020】このような手段を講じたことにより、データバスに伝送される1ワードデータにおけるそれぞれ異なる所定位置の1ワードデータはそれぞれ異なるビット列がそれぞれ抽出されて用主メモリ第2領域に格納される。そして、その第2領域に記憶された1ワードデータのデータのそれぞれの読み出し時に、その1ワードデータのデータのみを所定のビット位置に設定してなる1ワードデータのデータが生成される。従って、1ワードデータのビット列を抽出してたるデータ（例えば1ワードデータのビット列）が抽出されて用主メモリ第2領域に格納される。

【0002】また、目的を達成するために第1の本発明は、前記第1の透明に加えて、前記第2の部材が透明な点として指定された場合には、データーバスを伝送する1ワードデーターにおける所定ビット部間の1／ $n$ ワード長のビット列を作業用メモリに与える例えばデーター部制御部などの、第2データー処理手段と、前記第2の部材がいずれかの記憶領域から読み出した点として指定された場合には、その記憶領域から出力される1／ $n$ ワード長またはデーターのみを生成して前記データーバスへと出力する例えばデーター制御部などの読み出しデーター処理手段とを備えた。

【0022】このような手段を講じたことにより、データベースに送られる1ワードデータにおける所定ビット位置の1/8ワード長のビット列の抽出が、作業用メモリの第2記憶領域に格納される。そして、第2記憶領域に記憶された1/8ワード長のビット列の読み出し時に、その1/8ワード長のデータのみに所定のビット位置に改定したる1ワードデータのビット列とされる。従って、1ワードデータの1/8ワード長のビット列の抽出が可能となる。

【0023】また上記目的を達成するために第3の実施形態、前記第1の実施形態に加えて、前記第2記憶領域に与れ

かの証人職が「書込み先」として指定された場合には、指定された証人職に関連する所定の6桁の証人職コードに書込み先として順次指定する例えば「ブロン御前所などの書込み領域制御手段と、前述第2領域制御手段により指定された場合には、前述第2領域制御手段により指定された6桁の証人職コードに「ブロン」を付送される1ワードデータにおけるそれぞればなる所定とビット部の

1 /  $\alpha$ ワード長ずつの  $\alpha$ ワードのビット列を順に1ビットおきに作業用メモリに与える例は、データ制御部などの  $\alpha$ ビットデータ処理手段と、前記第2領域域の1ワードの記憶領域域に出力先として指定された場合には、指定された記憶領域域に関連する所定の  $\alpha$ ワードの記憶領域域順に出力先として前記作業用メモリからデータを取り出し、データ制御部などの読み出す読み出し制御手段と、この読み出し制御手段により読み出された1 /  $\alpha$ ワードの  $\alpha$ ワードのデータを所定の順序で並べて1ワード長のデータを生成して前記データバスへと出力する例は、データ制御部などの読み出すデータ処理手段とを備えた。

【00024】このような手段を講じたことにより、デ  
ータベースを伝送される1ワードデータにおけるそれぞれ  
異なる所定ビット列の1/8ワード長7つの8ビットのビ  
ット列がそれぞれ分離されて作業用メモリ上の第2領域に  
格納される。そしてこの第2領域領域には記憶された1ノ  
ード長1ビットのビット列が読み出し時に、その1/8ワード  
長の8ビットのデータを所定の順序で並べて1ワード長の  
データが生成される。従って、1ワードデータにおける  
それぞれ異なる所定ビット列の1/8ワード長7つの8ビ  
ットのビット列を、1ビット分離した上で、それぞれ1/8ワード  
長1ビットのビット列をそれぞれ並進連結するハフマン  
動作が行われる。

【0025】

【発明の実施の形態】以下、実施形態につき説明する。

【0026】図1は本実施形態のデジタル信号処理装置を適用して構成されたDSPの要部構成を示すブロック図である。

【00027】この図に示すように本発明の形態の(1)Sは、プロセッサ部1、アドレス管理部2、メモリ制御部3、作業用メモリ4、データ読取部5、アドレスタ6、アドレス管理部7、係数メモリ8、レジスタ9、10、積算部11、積算用レジスタ12、セルクタ13、論理・算術演算部14、レジスタ15、16および17、O/制御部17を有している。

【0028】そして、フコケラム菌部1、アトリス管部2、データ菌部5、セードレジュタ6、アトリス管部7、係数メモリ8、レジスタ9、10、格算出力レジスタ12、セレクタ13、論理・算術演算部14、レジスタ15、16および1/O菌部17は、それぞれデータバス1に接続されている。またアトリス管理部2、7はアドレスバス12に、1/O菌部17は外部バス3にもそれぞれ接続されている。

【00029】プログラム制御部1は、任意に設定されるプログラムに基づいて、そのプログラムの記述内容に応じた任意の信号処理を実行するべく各部の動作を制御する。なお、図1を参照して、このプログラムの制御部1の処理対象となる部分とプログラム制御部1との間には制御線により接続されている。

【0030】アドレス管理部2は、作業用メモリ4に関するアドレス管理処理を行う。すなわちアドレス管理部2は、アドレスバスB2を介して指定されるアドレスが作業用メモリ4に対応するものであるときに、そのアドレスに対応した作業用メモリ4のアドレスを出力するなどの処理を行う。このアドレス管理部2が出力するアドレスはアドレス制御部3へと与えられる。

【0031】アドレス制御部3は、作業用メモリ4に設けられた多数のアドレス領域（1つのアドレスが割り付けられた記憶領域）のそれぞれをアクセス先として指定するセレクト信号を任意に発生して作業用メモリ4へと与える。アドレス制御部3は、アドレス管理部2から与えられるアドレスに基づいてセレクト信号の出力を行うが、モードレジスタ6から与えられるモード制御信号により与えられるモードに応じてセレクト信号の出力形態を後述するように変化させる。

【0032】作業用メモリ4は、半導体メモリよりなり、多数のアドレス領域が設定されている。この多数のアドレス領域は、固定ビット長領域4aおよび可変ビット長領域4b、4cのいずれか1つ、もしくは、これら2つに属するアドレス領域は1ワード分のビット長（nビット）を、また制限ビット長領域4b、4cに属するアドレス領域は1ワードよりも短くかつそれぞれ異なるビット長（m0ビット、m1ビット）をそれぞれ有する。すなわち作業用メモリ4は、それぞれビット長が異なる3種類のアドレス領域が混在して設けられている。

【0033】データ制御部5は、作業用メモリ4に設けられた多数のアドレス領域のそれぞれに対応するメモリデータ出力線により作業用メモリ4に接続されている。そしてデータ制御部5はデータバスB1から取り込んだデータを任意のアドレス領域に与えたり、任意のアドレス領域から出力されるデータを作業用メモリ4やデータバスB1へと出力するに当り、モードレジスタ6から与えられるモード制御信号により与えられるモードに応じて後述するようなデータ処理を行う。

【0034】モードレジスタ6は、ビット処理を行う場合の処理内容に応じてモード情報格に記録される。モードレジスタ6は、この記録されたモード情報に応じてデータ制御部5を生成してアドレス制御部3およびデータ制御部5へと与える。

【0035】アドレス管理部7は、係数メモリ8に関するアドレス管理処理を行う。すなわちアドレス管理部7は、アドレスバスB2を介して指定されるアドレスが係数メモリ8に対応するものであるときに、そのアドレスに対応した係数メモリ8のアドレスを出力するなどの処理を行う。このアドレス管理部7が出力するアドレスは係数メモリ8へと与えられる。

【0036】係数メモリ8は、信号処理のための係数データを格納しておくために使用される。

【0037】レジスタ9、10は、積算部1の入力用レジスタである。すなわちレジスタ9、10は、積算部11で積算すべき2つのデータを、暗黙的に保持しておく。

【0038】積算部11は、レジスタ9、10にそれぞれ保持された2つのデータを積算し、その結果を積算出力レジスタ12へと与える。

【0039】積算出力レジスタ12は、積算部11の出力用レジスタである。すなわち積算出力レジスタ12は、積算部11での積算結果を、暗黙的に保持しておく。

この積算出力レジスタ12は、レジスタ9、10の容量、すなわち1ワード長の2倍のビット長を有し、これにより演算精度を確保する。この積算出力レジスタ12の保持データは、データバスB1またはセクタ13へと必要に応じて出力される。なお、積算出力レジスタ12の保持データは2ワード長を持つので、データバスB1にて搬送する場合には上位、下位の指定が必要となる。

【0040】セクタ13は、積算出力レジスタ12から出力されるデータと、データバスB1を介して到来するデータとのいずれか、力を選択して論理・算術演算部14へと与える。

【0041】論理・算術演算部14には、レジスタ9、10、15、16の保持データおよび積算出力レジスタ12の保持データの上位側のうちのいずれか2つが任意に供給される。そして論理・算術演算部14は、この供給される2つのデータを対象として和算や論理演算などの処理を行う。そして論理・算術演算部14は、2ワード長となる演算結果データを上位側のレジスタ15へ、また下位側をレジスタ16へそれぞれ出力する。

【0042】レジスタ15、16は、1ワード長の容量を有し、論理・算術演算部14から与えられる1ワード長ずつのデータを、暗黙的に保持しておき、データバスB1へと必要に応じて出力する。

【0043】1/O制御部17は、データバスB1と外部バスB3との間でのデータ交換、すなわちBSPの外部とのデータ入出を行う。

【0044】図3はプログラマ制御部1の詳細な構成を示すブロック図である。

【0045】この図に示すようにプログラマ制御部1は、プログラマカウンタ21、プログラマメモリ22、インストラクションレジスタ23、インストラクションデコーダ24、演算制御部25、分岐制御部26、スタック制御部27およびアドレスカウンタ28を有している。

【0046】プログラマカウンタ21は、所定のタイミントラキにプログラマアドレスをカウンタアップし、最新のプログラマアドレスをプログラマメモリ22およびス

タック制御部27へと与える。

【0047】プログラマメモリ22は、実行すべき信号処理の事前記憶されたプログラムが登録されている。

そしてプログラマメモリ22は、プログラマカウンタ21から与えられるプログラマアドレスが付けられたインストラクションコードをインストラクションレジスタ23に与える。

【0048】インストラクションレジスタ23は、プログラマメモリ22から与えられたインストラクションコードを、暗黙的に保持しておき、インストラクションコード24へと供給する。

【0049】インストラクションデコーダ24は、インストラクションレジスタ23に保持されたインストラクションコードをデコードし、そのデコード結果に基づいて図1の各部に必要制御信号を与える。

【0050】演算制御部25は、演算部11が発生した場合にその演算結果を表現するためにプログラマカウンタ21が発生するプログラマアドレスを変更させる。

【0051】分岐制御部26は、プログラマによる分岐条件、演算部11の演算結果に基づいて発生した場合にこれらの処理内容を変更するためにプログラマカウンタ21が発生するプログラマアドレスを変更させる。

【0052】スタック制御部27は、演算部11が演算結果に基づいての移動動作のために、プログラマアドレスを必要に応じて待機（スタック）しておき、後述にスタックしてある前をプログラマカウンタ21に再設定する。

【0053】アドレスカウンタ28は、アドレスのカウントアップ動作を行う。

【0054】次に以上のように構成されたDSPの動作につき説明する。

【0055】まず作業用メモリ4のうちの固定ビット長領域4aおよび制限ビット長領域4b、4cの各アドレス領域をアクセスするためのアドレスは暗黙的であって、ユーザはこれらの3種類のアドレス領域を適宜使用することができ。

【0056】作業用メモリ4のうちの固定ビット長領域4aは、従来の通りの1ワード長の領域であるから、この固定ビット長領域4aに属するアドレス領域を用いることで、従来の通りの1ワード単位でのデータ処理を行うことができる。

【0057】一方、制限ビット長領域4b、4cは、容量が1ワードよりも小さな制限長（m0ビット、m1ビット）に制限された領域であって、以下に説明するようにして使用することでm0ビット単位やm1ビット単位でのビット処理を行うことができる。

【0058】以下、このようなビット処理に関する動作について詳しく説明する。

【0059】まずビット処理を行う場合、モードレジスタ6に第1モード〜第4モードのそれぞれをホストモード情報にいつれかを設定しておく。

【0060】（第1モード）このモードは、1ワード中の所定位置のm0ビット分のビット列をn/m0ワード分、あるいは1ワード中の所定位置のm1ビット分のビット列をn/m1ワード分連続してnビット長、すなわち1ワード長のデータを生成するバック動作を行うモードである。

【0061】1ワード中の所定位置のm0ビット分のビット列をn/m0ワード分連続するバック動作を行う場合には、連続すべきビット列をn/m0ワード分がデータバスB1を伝送されるときに、制限ビット長領域4bに属する連続するn/m0個のアドレス領域を、読み先アドレスi、i+1、…、i+kとして順次指定することとする。なおこのときのkは $\lceil (n/m0) - 1 \rceil$ で求まる値であり、 $n=16$ 、 $m0=4$ とするならば、 $k=3$ となる。

【0062】そうするとアドレス制御部3は、このn/m0個の読み先アドレスのそれぞれがホストアドレス領域をアクセス先とするべくセレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであること（アクセス先領域のビット長が制限ビット長領域4bであること）を通知され、かつ書き込み時であるならば、データバスB1を介して到来する1ワード長のデータのうちの上位m0ビットのみを作業用メモリ4に与える。

【0064】かくして、図4（a）に示すように、アドレスi、i+1、…、i+kの各アドレス領域に、n/m0個の1ワードデータのうちの上位m0ビットがそれぞれ書き込まれることとなる。なお、1ワードデータのうちの上位m0ビット以外のビット列は廃棄する。

【0065】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、連続するデータが記憶された先のアドレス領域のアドレスiを指定することとする。

【0066】そうするとアドレス制御部3は、アドレスiから連続するn/m0個のアドレス領域、すなわちアドレスi、i+1、…、i+kのアドレス領域をそれぞれ読み出し先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0067】これにより、作業用メモリ4からはアドレスi、i+1、…、i+kの各アドレス領域に格納されているm0ビット分のデータが順にn/m0個出力されることとなる。

【0068】そこでデータ制御部5は、このn/m0個のm0ビットデータを上位側から順に配置した状態で連続すること、図4（a）に示すようにnビット長、すなわち1ワード長のデータを生成する。そして作業用メモリ4から出力されるデータを順次には出力することになり、生成した1ワード長のデータをデータバスB1へ

と出カする。

【0069】1ワードの所定位置の $m_1$ ビット分のビット列を $n/m_1$ ワード分連続するバグ動を行う場合は、皆だ先および基出ビット列を $j, j+1, \dots, j+h$ として、かつ制限ビット長領域 $a$ を使用して、図4 (b) に示すような品と同様な動作により実現される。なおこの場合の $(n/m_1) - 1$ を求める前であり、 $n = 16, m_1 = 1$ とするならば、 $h = 15$ となる。

【0070】以上のようにして、ユーザ間、すなわちプログラム作成者間から見れば、演算ビット長領域 4b、4c をアダクセル先としてのデータの書き込みで、その書き込んだデータの読み出しとを行うだけ、 $n/m \times \text{mpt}$  または  $n/m \times \text{pt}$  の読み出しとを行うだけ、 $n/m \times \text{mpt}$  または  $n/m \times \text{pt}$  の 1ワードデータから抽出した  $m \times \text{pt}$  ビットずつまたは  $m \times \text{pt}$  ビット長のビット列を生成することができる。なる1ワード長のデータを生成することができる。

【0077】(第2モード) このモードは、 $m_0$ ビット長すのビット列を $n/m_0$ 個ハッシュしてなる1モード上のモードや、 $m_1$ ビット長すのビット列を $n/m_1$ 個ハッシュしてなる1モード上のモード、 $m_0$ と $m_1$ の最小公倍数を $m_2$ とすると、 $m_2$ ビット長すのビット列を $n/m_2$ 個ハッシュしてなる1モードの3モードを分離するアンハッシュ動作を行うモードである。

【0072】  $m_0$  ビット長の  $n$  のビット列を  $n/m_0$  バックしてなる  $1$  ワード長のデータを分離するアンパック動作を行う場合には、まず分離すべき  $1$  ワードデータがデータバス 11 を伝送されるときに、制限ビット長領域 4b に属する圧縮のアドレス領域のアドレス  $i$  を読み出しして指定することとする。

【0074】そうするとアドレス制御部3は、アドレス1からの連続する $n/m_0$ 個のアドレス領域、すなわちアドレス1、 $1+1$ 、 $\dots$ 、 $1+k$ のアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アドレス先が制御ビット長領域4bであることをデータ制御部5に対して通知する。

【0074】 $\gamma_i$ 、データ制御部5は、アドレスが制限ビット領域4bであることが通知され、かつ書き込み可能であるならば、データバス1を介して到来する1ワード1のデータを1から $m$ ビットずつ分離して、作業用メモリ4のアドレス $i, i+1, \dots, i+k$ のアドレス領域へとそれぞれ与える。

【0075】かくして、図5(a)に示すように、アドレス $i, i+1, \dots, i+k$ の各アドレス領域に、1ワード長のデータから分離された $m_0$ ビットずつの $n/m_0$ 個のデータがそれぞれ書き込まれることとなる、

【0077】続いて、このように作業用メモリ4に書き込んだデータを出力する場合、各データが記憶されたアドレス領域のアドレス  $i, i+1, \dots, i+k$  を順次指定することとする。

【0078】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアドレス

セス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アドレス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0078】これにより、作業用メモリ4からはアドレス  $i, i+1, \dots, i+k$  の各アドレス領域に格納されている  $m_0$  ビットずつのデータが順に  $n/m_0$  回出力される。

こととなる。

【0079】そこでデータ制御部5は、このmgビットずつのデータのそれぞれに1位側に配し、残りのビットを全て「0」とした1ワード長のデータとして順次データバスB1へと出力する。

【0080】  $m$  ビット長  $m$  のビット列を  $n/m$  個のビット列を分離するアンビタリ動作を行う場合には、点ビタリおよびランダム化  $i$  を、  $j = 1, \dots, n/m$  に対して、かつ制限  $m$  ビット長領域  $a_i$  を使用し、  $i$  ビット列に  $m$  ビット長  $m$  のビット列を分離するアンビタリ動作により実現される。

【0088】 以上のようにして、ユーザ側、すなわち、  
 はツム作成者側から見たら、単にコードを渡すのみ、  
 4をデータセクタとしてデータの書き込みと、その、  
 き込みがデータの読み出しを行うだけで、m0例また  
 はm1ビット長ずつのビット列をn/m0例またはn/m1  
 個パックしてなる1ワード長のデータからm1ビットよ  
 ずつのビット列を分離することができ、  
 【0089】 (第3モード) は、1ワード1  
 の所定位置のm0ビット分のビット列や1ワード中の所  
 定位置のm1ビット分のビット列を抽出するモードであ  
 る。

【0083】1ワードの所定ビットの $m_0$ ビット分のビット列を抽出する場合には、その抽出すべきビット列を含むデータがデータバス1を順次伝送されるのに合せて、制限ビット長領域4bに属する連続する $n/m_0$ 個のアドレス領域を、 $i$ から先アドレス $i + 1, \dots$ ,  $i + k$ として順次指定することとする。

【0084】そうするとアドレス制御部3は、このm0側の点込みアドレスのそれぞれが示すアドレス領域をアクセス先とするべくセレクト信号を出力する。またアドレス制御部3は、アクセスが制限ビット長以内4bであることをデータ制御部5に対して通知する。

【0083】一方、データ制御部5は、アクセス先が領域bであることが通知され、かつ書き込み時であるならば、データバス11を介して読み取るワード長のデータのうちの1流m0ビットのみを作業用メモリ4に与える。

【0086】かくして、図6 (a) に示すように、 $7$   $l \leq i, i+1, \dots, i+k$  の各アドレス領域に、データバス1を順次は送される  $n/m$  の1ワードデータのうちの1/mビットずつがそれぞれ書き込まれることとなる。

【0087】続いて、このように作業用メモリAに書き込んだデータを出力する場合、各データが記憶されたアドレス領域のアドレス $i, i+1, \dots, i+k$ を順次指定することとする。

【0088】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアククセス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4であることをデータ制御部5に対して通知する。

【00083】これにより、作業用メモリ4からはアドレス1,  $i+1, \dots, i+k$ の各アドレス領域に格納されている各 $m_0$ ビットずつのデータが順に $n/m_0$ 割出/されることとなる。

【00090】そこでデータ制御部5は、この $m_0$ ビットずつのデータのそれぞれを1位置に配し、残りのビット数を全て「0」とした1ワード長のデータとして連続データバス11へと出力する。

[illegible]

プログラム作成側から見れば、無限ビットは領域4、4cをアプセス先としてのデータの書き込みと、そのき込んだデータの読み出しとを言うだけで、1ワードの所定位置のm0ビット分のビット列や1ワードの所定位置のm1ビット分のビット列を抽出することができ

【0059】(第4モード) このモードは、 $m0$ ビット長すのビット列を $n/m0$ 個ハックしてなる1ワード長、 $m1$ ビット長すのビット列を $n/m1$ 個ハックしてなる1ワード長のデータから $m0$ と $m1$ のビット長すのビット列を、1分離したうえで、再度 $m0$ ビット長すのビット列を $n/m0$ 個ハックしてなる1ワード長のデータや、 $m1$ ビット長すのビット列を $n/m1$ 個ハックしてなる1ワード長のデータを生成するハック動作をいうモードである、

**[0094]**  $m_0$  と  $\alpha$  は次のビット列を  $n/m_0 \log \alpha$  バイトにする。このとき、 $m_0$  のビット長は  $n/m_0$  に等しい。また、 $\alpha$  のビット長は  $\log \alpha$  に等しい。

【0035】そうするとアドレス制御部3は、アドレスから連続する $n/m_0$ 個のアドレス領域、すなわちアドレス $i, i+1, \dots, i+k$ のアドレス領域をそれぞれ書き込み先とするべくセレクト信号を送出し、またアドレス制御部3は、アドレス発生制限ビット値が4bであることをデータ制御部5に対して通知する。

【0096】一方、データ領域では、かつぎ込みの  
 限であるならば、データバスB1を介して到来する1  
 クラド長のデータより、 $4 \times \text{mg}$ を介して到来する1  
 クラド長のデータより、 $i+1, i+1 \dots, i+k$ の  
 データ領域へとそれぞれ与える。

【0097】かくして、図7(a)に示すように、アドレス1,  $i+1, \dots, i+k$ の各アドレス領域に、1ワード長のデータから分離された $m_0$ ビットずつの $n/m_0$ ビットのデータがそれぞれ書き込まれることとなる。

【0098】続いて、このように作業用メモリAに書き込んだデータを書き出す場合、連結するデータが記憶された先頭のアドレス領域のアドレスを指定することとする。

[0099] そうするとアドレス制御部3は、アドレス  $i$  から連続する  $n/m$  のアドレス領域、すなわちアドレス  $i, i+1, \dots, i+k$  のアドレス領域をそれぞれアドレス  $i$  として、セクタ  $i$  の信号を順次出力する。またアドレス制御部3は、アクセス先が連続ビット領域であることをデュータ制御部5に対して通知する。

【0100】これにより、作業用メモリ4からはアドレス  $i, i+1, \dots, i+k$  の各アドレス領域に格納されている  $m_0$  ビットずつのデータが順に  $n/m_0$  回出力されることとなる。

【0101】そこでデータ制御部5は、この $n/m$ 個の $m0$ ビットデータを11ビットから順に読み出した状態で逐次結合することで、図7(a)に示すように $n$ ビット、すなわち1ワードのデータを生成する。そして作業者11により、出力されるデータを偶数には出力することとし、生成した1ワードのデータをデータバス12に出力する。

【0102】1ワード中の特定位置のmビット分のビット列を $m/m1$ ワード分送するパルス動作を行う場合  
中には、読み込みおよび送出し先のアドレスを、j, j+1, ..., j+hとして、かつ制限したビット列を、i, i+1, ..., i+hとして、図7(h)に示すように記述と同様の動作により実現される。

【0103】 以上のようにして、ユーザ間、すなわち、プログラム作成側から見れば、演算ビット長領域4b、4cをマウス感覚としてのデータの書き込みと、その引き込みのデータの読み出しとを行うだけで、m0ビット長分のデータ列をn/m0個ハックしてなる1ワード長のデータや、m1ビット長分のデータ列をn/m1個ハックしてなる1ワード長のデータの単ハック動作を行なうことができる。

【0104】以上のように本実施形態によれば、ユーザ側、すなわちプロシラム作成者側から見ての階段ピッチ長領域4b、4cをアプセクス先としてのデュータの書き込みと、その書き込んだデュータの読み出しとにより種別ピッチ処理を行うことが可能である。従って、命令数

データの書き込みや読み出しに関する少数で済み、短時間で処理することが可能である。

【0105】しかも本実施形態では、メモリアクセスモード機能を行なうDSPのように作業用メモリ4でのアドレス領域とアドレスとの対応関係を変化させる必要が無く、逐次的なアドレスにより作業用メモリ4のアクセス制御を行うので、アドレス制御部3は簡易な構成により実現可能であり、作業用メモリ4のアクセス速度の低下は最小限に抑えることができる。

【0106】このようなことから本実施形態によれば、高速にビット処理を行うことが可能である。

【0107】なお本発明は上記実施形態に限定されるものではない、例えば上記実施形態では、1ワード長のデータからの抽出するビット列を1ワード長のデータの上位側のビット列としているが、この抽出するビット列の位置は任意に設定可能である。

【0108】また上記実施形態では、ハッシュ動作の際には抽出したデータをその抽出順に連結するものとしているが、この連結順は任意に設定可能である。例えばモード4では、抽出順と抽出順に異ならせるようにすることで、ビット単位でのデータの並び替えが実現できる。

【0109】また上記実施形態では、制限ビット長領域を4bおよび4cの2種類揃えることとしているが、1種類のみの揃えるようにしても良いし、3種類以上揃えるようにしても良い。

【0110】また上記実施形態では、4つのモードを備えて、4種類のビット処理を選択的に実行可能としているが、上記の4つのモードの全てを備える必要はない、そして1種類のビット処理を行うように構成することも可能であり、その場合にはモード選択のための構成を排除できる。

【0111】また上記実施形態では、アドレス制御部3およびデータ制御部5の処理を変更することで任意のビット処理を行うことが可能であり、上記実施形態に挙げた4種類のビット処理以外のビット処理を行うようにしても良い。

【0112】また、行うビット処理によっては、アドレス制御部3やデータ制御部5での処理をソフトウェア処理により行うようにすることも可能である。

【0113】また上記実施形態では、本発明に係るデジタル信号処理装置をDSPに適用した例を示しているが、LSI化しないで実現するなどのように他の形態で実現することも可能である。

【0114】このほか、本発明の発行を逸脱しない範囲で種々の変形実施が可能である。

【0115】**【発明の効果】** 第1の本発明は、作業用メモリを、1アドレスで指定される記憶領域として、その容量が1ワードである第1領域および容量が1/8ワード(8は所定

の自然数)である第2領域とを設けたものとしたので、作業用メモリ第2領域へのデータの書き込みや読み出しを適宜行うことで、1/8ワード分のビット列単位でのビット処理を行うことが可能となり、しかもアクセス制御に関しては第1領域および第2領域のいずれも同じアドレス領域として扱えば良く、この結果、簡易な構成かつ少ない論点数により高速にビット処理を実現することができ、デジタル信号処理装置となる。

【0116】また第2の本発明は、データバスを伝送される1ワードデータにおける所定ビット位置の1/8ワード長のビット列を抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された所定の8個のビット列を所定の順序で並べて1ワード長のデータを作成するようにしたので、8個の1ワードデータにおける所定ビット位置の1/8ワード長のビット列をそれぞれ連結するハッシュ動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0117】また第3の本発明は、データバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長の8個のビット列をそれぞれ抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1/8ワード長のデータを個々に所定のビット位置に設定してなる1ワード長のデータを作成するようにしたので、1/8ワード長のビット列を8個連結してなるデータから1/8ワード長のビット列のそれぞれを分離するアンハッシュ動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0118】また第4の本発明は、データバスを伝送される1ワードデータにおける所定ビット位置の1/8ワード長のビット列を抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1/8ワード長のビット列のみを所定のビット位置に設定してなる1ワード長のデータを作成するようにしたので、1ワードデータにおける所定ビット位置の1/8ワード長のビット列の抽出処理を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0119】また第5の本発明は、データバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長の8個のビット列をそれぞれ分離して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1/8ワード長のビット列を所定の順序で並べて1ワード長のデータを作成するようにしたので、1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長の8個のビット列をそれぞれ連結するハッシュ動作を作業用メモリへの書き込みおよび読み出し処理により行うこ

とが可能なデジタル信号処理装置となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るデジタル信号処理装置を適用して構成されたDSPの要部構成を示すブロック図。

【図2】図1中の作業用メモリ4の詳細構成を示すブロック図。

【図3】図1中のプログラム制御部1の詳細構成を示すブロック図。

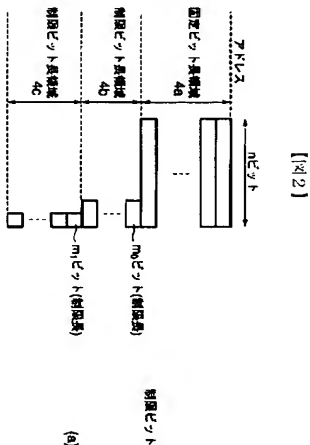
【図4】第1モードにおけるハッシュ動作の様子を示す図。

【図5】第2モードにおけるアンハッシュ動作の様子を示す図。

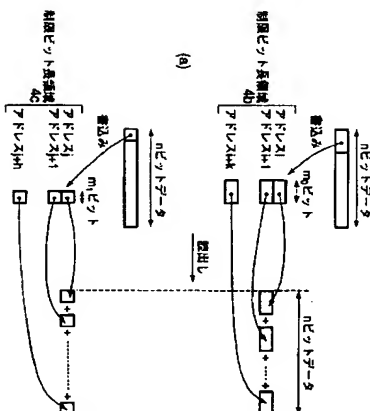
【図6】第3モードにおけるビット抽出動作の様子を示す図。

【図7】第4モードにおけるハッシュ動作の様子を示す図。

【符号の説明】  
1…プログラム制御部



【図4】

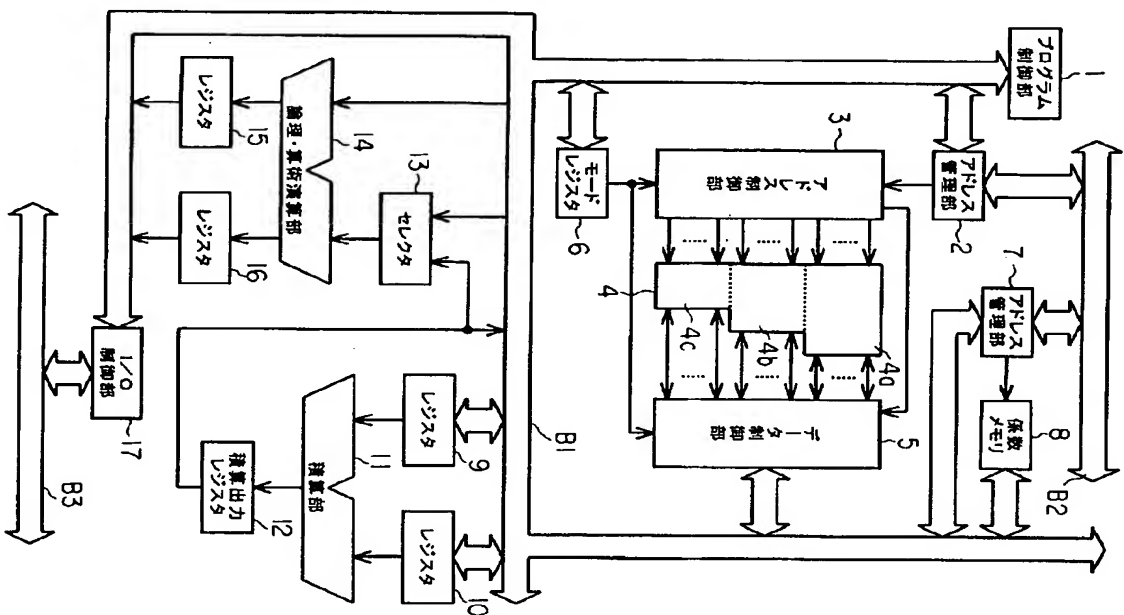


(b)

(11)

特開平14-007110

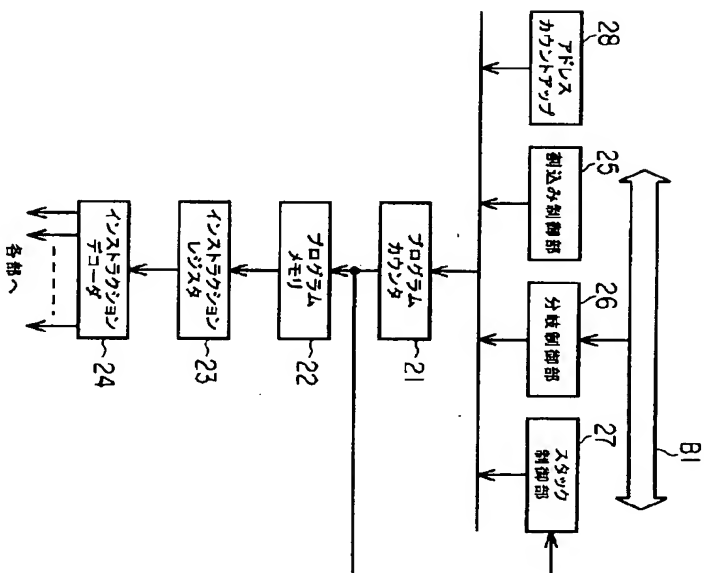
【図1】



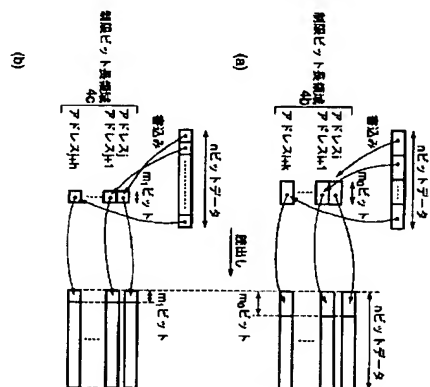
(12)

特開平14-007110

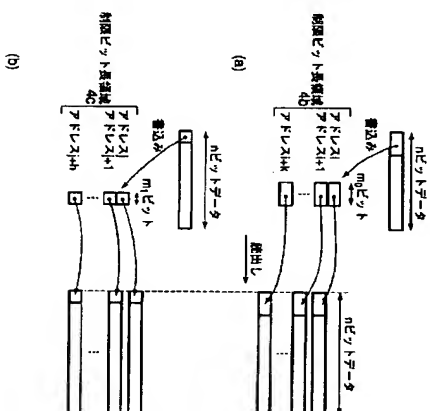
【図3】



【図5】



【図6】



【図7】

